

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-206892

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

G02F 1/136

H01L 29/786

H01L 21/336

(21)Application number : 09-014226

(71)Applicant : NEC CORP

(22)Date of filing : 28.01.1997

(72)Inventor : TANAKA HIROAKI

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the wiring resistance without increasing processes of photolithography when the active matrix display device which has thin film transistors as switching elements is manufactured.

SOLUTION: When a drain bus line 2 and a pixel electrode 4 are formed, a transparent conductive film 103 and a low-resistance metal film 104 are formed in two-layered structure from below and only the low-resistance metal film 104 on the pixel electrode 4 is removed by side etching from many holes 5 bored in the pixel electrode 4 to form the low-resistance drain bus line and transparent pixel electrodes in one photolithography process. Consequently, the wiring resistance can be decreased without increasing the frequency of photolithography and this manufacture is applicable to even a large-screen liquid crystal display device.

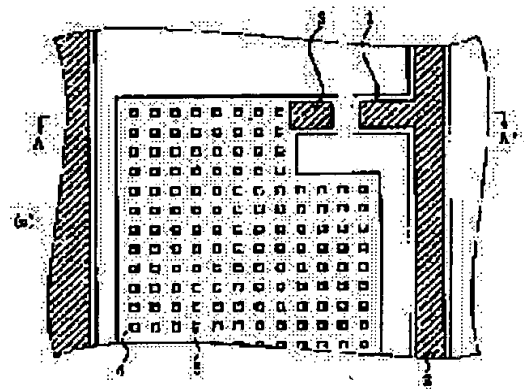
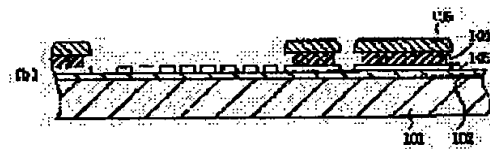


図1 液晶表示装置の平面図



LEGAL STATUS

[Date of request for examination]

28.01.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2842426

[Date of registration]

23.10.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸

G02F 1/133

(11) 공개번호 특1998-070918

(43) 공개일자 1998년 10월 26일

(21) 출원번호 특1998-002500

(22) 출원일자 1998년 01월 30일

(30) 우선권주장 97-14226 1997년 01월 28일 일본(JP)

(71) 출원인 닛본덴기가부시끼가미샤 가네코히사시

일본 도쿄도 미나토구 시바 5조메 7-1

(72) 발명자 다나카하로아끼

일본 도쿄도 미나토구 시바 5-조메 7-1 닛본 덴기 가부시끼가미샤 내

(74) 대리인 구영창, 이상희

심사점수 : 있음

(54) 액티브 매트릭스 LCD 및 그 제조 방법

요약

박막 트랜지스터를 스위칭 소자로서 사용하는 액티브 매트릭스 LCD(Liquid Crystal Display)와 그 제조 방법이 개시된다. 드레인 버스 라인과 화소 전극이 형성될 경우, 투명 도전막과 저저항 금속막은 순차적으로 2층 구조 형태로 적층된다. 금속막만이 화소 전극 내에 형성된 홈들을 통하여 측면 에칭에 의해 화소 전극으로부터 제거된다. 이것은 저저항 드레인 버스 라인과 투명 화소 전극이 한번의 포토리소그라피 단계에 의해 형성될 수 있게 한다. 그 결과, LCD의 배선 저항은 포토리소그라피의 회수를 줄여 가시킴으로써 낮고도 낮아질 수 있으며, LCD에는 와이드 스크린이 제공되게 한다.

도표도

도 5a

발명서

도면의 간단한 설명

도 1a는 종래의 액티브 매트릭스 LCD를 제조하는 초기 단계를 나타낸 평면도.

도 1b는 도 1a의 라인 A-A'를 절단한 단면도.

도 2a는 도 1a의 후속 단계를 나타낸 평면도.

도 2b는 도 2a의 라인 A-A'를 절단한 단면도.

도 3a, 도 4a 및 도 5a는 본 발명을 구체화한 액티브 매트릭스 LCD를 제조하기 위한 순차적인 단계를 나타낸 평면도.

도 3b, 도 4b 및 도 5b는 각기 도 3a, 도 4a 및 도 5a의 라인 A-A'를 절단한 단면도.

도 6a, 도 7a, 도 8a 및 도 9a는 본 발명의 대용 실시예를 나타내는 단계들의 흐름을 도시한 평면도.

도 6b, 도 7b, 도 8b 및 도 9b는 각기 도 6a, 도 7a, 도 8a 및 도 9a의 라인 A-A'를 절단한 단면도.

도 10a 내지 도 10c는 도 3a 내지 도 5b에 나타난 실시예의 특정 변형을 각기 나타내는 단면도.

도면의 주요 부분에 대한 부호의 설명

1 : 드레인 전극

2 : 드레인 버스 라인

3 : 소오스 전극

4 : 화소 전극

6 : 게이트 전극

7 : 게이트 버스 라인

8 : 아일랜드

101 : 기판

103 : 투명 도전막

- 104 : 저저항 금속막
- 105 : 포토레지스트
- 106 : 반도체막
- 107 : 절연막
- 108 : 콘택층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터를 스위칭 소자로서 사용하는 액티브 매트릭스형 LCD(Liquid Crystal Display) 및 그 제조 방법에 관한 것으로, 특히 포토리소그라피의 회수를 증가시키지 않고도 배선 저항을 낮출 수 있는 액티브 매트릭스 LCD 및 그 제조 방법에 관한 것이다.

비정질 또는 다결정 실리콘, CdSe 또는 유사 반도체로 이루어진 박막 트랜지스터들은 액티브 매트릭스 LCD에 사용하기 위한 스위칭 소자로서 관심이 모아지고 있다. 그러한 박막 트랜지스터를 스위칭 소자로서 사용하는 LCD는 예를 들면, 일본 특허 공개 공보 제6-160906호에 대응되는 일본 특허 공보 제2501411호에 개시되어 있다. 그러나, 와이드 스크린(wide screen) 또는 고밀도화 후술되는 이유로 인해 전술된 문서에서 교시된 LCD를 사용하여 달성할 수 없다. 화소 전극과 드레인 버스 라인은 한번의 포토리소그라피 단계를 사용하여 형성되기 때문에, 드레인 버스 라인은 금속막의 저항 보다 수십배 높은 저항을 가지는 투명 도전막, 예를 들면, ITO(Indium Tin Oxide)/Cr의 관점에서 약 20배 더 큰 체적 저항을 가지는 ITO로 이루어져야 한다. 이러한 문제는 저저항 금속막이 드레인 버스 라인의 상부 또는 하부에 제공된다면 해결될 수도 있지만, 이러한 종류의 구조는 한번 이상의 포토리소그라피 단계를 사용하지 않고서는 실현할 수 없다. 포토리소그라피 단계의 회수 증가는 간접 부재료의 개수 증가 및 장비 사용 회수의 증가 뿐만 아니라 비용이 현저하게 증가되는 수율의 감소로 이어진다. 따라서, 포토리소그라피 단계의 회수를 증가시키지 않고도 배선 저항을 낮출 필요가 있다.

본 발명에 관련된 기술들은 예를 들면, 일본 특허 공개 공보 제57-85247호, 제1-179345호 및 제6-160906호에도 개시되어 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 박막 트랜지스터를 스위치 소자로서 사용하여, 포토리소그라피 단계의 회수를 증가시키지 않고도 배선 저항을 낮출 수 있는 액티브 매트릭스 LCD 및 그 제조 방법을 제공함에 있다.

본 발명에 따르면, 박막 트랜지스터를 스위칭 소자로서 사용하는 액티브 매트릭스 LCD는 투명 도전막과 저저항 금속막이 이 순서대로 순차적으로 적층되어 형성된 드레인 전극과, 이 드레인 전극에 접속된 드레인 버스 라인, 소오스 전극, 및 이 소오스 전극에 접속되며 다수의 홀들이 형성되어 있는 화소 전극을 포함한다. 저저항 금속막은 화소 전극으로부터 제거된다. 게이트 전극은 아일랜드(island) 형태로 투명 도전막과 저저항 금속막 상에 형성된다. 게이트 버스 라인은 게이트 전극에 접속된다. 게이트 버스 라인과 구성 면에서 동일한 반도체층과 절연막이 형성된다. 게이트 버스 라인은 저저항 금속으로 이루어지며 게이트 전극에 접속된다.

또한, 본 발명에 따르면, 액티브 매트릭스 LCD의 제조 방법은 순차적으로 절연 기판 상에 투명 도전막과 저저항 금속막을 이 순서대로 형성하는 단계와, 드레인 전극, 이 드레인 전극에 접속된 드레인 버스 라인, 소오스 전극, 및 이 소오스 전극에 접속되며 다수의 홀들이 형성되어 있는 화소 전극을 형성하는 단계와, 측면 에칭에 의해 화소 전극으로부터 저저항 금속막만을 제거하는 단계와, 기판상에 포스핀(PH₃) 플라스마 공정을 실행하는 단계와, 반도체막, 절연막 및 저저항 금속막을 이 순서대로 순차적으로 형성하는 단계와, 게이트 전극과, 이 게이트 전극에 접속되는 게이트 버스 라인을 패턴닝에 의해 형성하는 단계와, 이 게이트 전극과 게이트 버스 라인과 구성면에서 동일한 아일랜드를 형성하는 단계를 가진다.

또한, 본 발명에 따르면, 박막 트랜지스터를 스위칭 소자로서 사용하는 액티브 매트릭스 LCD는 저저항 금속막으로 이루어진 게이트 전극과 이 게이트 전극에 접속된 게이트 버스 라인을 포함한다. 절연막, 반도체막 및 콘택층은 아일랜드 형태로 저저항 금속막 상에 형성되며 게이트 버스 라인과 드레인 버스 라인이 서로 교차할 수 있는 부분과 적어도 게이트 전극을 피복할 수 있도록 구성된다. 투명 도전막과 저저항 금속막은 드레인 버스 라인에 접속된 드레인 전극을 형성하기 위하여 이 순서대로 순차적으로 적층된다. 화소 전극은 소오스 전극에 접속되며 다수의 홀들을 가지도록 형성된다. 저저항 금속막만이 화소 전극으로부터 제거된다.

또한, 본 발명에 따르면, 액티브 매트릭스 LCD의 제조 방법은 절연 기판 상에 저저항 금속막을 형성하는 단계와, 게이트 전극과 이 게이트 전극에 접속된 게이트 버스 라인을 패턴닝에 의해 형성하는 단계와, 기판 상에 절연막, 반도체막과 콘택층을 형성하는 단계와, 게이트 버스 라인과 드레인 버스 라인이 서로 교차할 수 있는 부분과 적어도 게이트 전극을 피복하는 아일랜드를 패턴닝하여 형성하는 단계와, 기판 상에 투명 도전막과 저저항 금속막을 이 순서대로 순차적으로 형성하는 단계와, 드레인 전극에 접속된 드레인 버스 라인, 소오스 전극 및 소오스 전극에 접속되며 다수의 홀들이 형성되어 있는 화소 전극을 패턴닝하여 형성하는 단계와, 측면 에칭에 의해 화소 전극으로부터 저저항 금속막만을 제거하는 단계와, 채널 부분으로부터 콘택층을 제거하는 단계를 가진다.

발명의 구성 및 작용

전술된 본 발명의 목적, 특징 및 이점들은 첨부된 도면들에 결합된 다음 상세 설명으로부터 보다 명백하게 될 것이다.

도면에서, 동일 참조 부호들은 동일한 구조적 소자를 지칭한다.

본 발명을 이해하기 위하여, 종래의 액티브 매트릭스 LCD에 개략적인 참조 부호가 기입될 것이다. 도 1a, 도 1b, 도 2a 및 도 2b는 액티브 매트릭스 LCD용 기판 회로를 제조하기 위한 단계의 흐름과 박막 트랜지스터를 스위칭 소자로서 사용하는 것을 나타낸다.

우선, 도 1a와 도 1b에 나타난 바와 같이, ITO 또는 유사 투명 도전막(103)은 스퍼터링에 의해 절연 기판(101) 상에 형성된다. 도전막(103)은 드레인 전극(1), 드레인 전극(1)에 접속된 드레인 버스 라인(2), 소오스 전극(3), 및 소오스 전극(3)에 접속된 화소 전극(4)을 형성하기 위하여 순차적으로 포토리소그라피 및 습식 또는 건식 에칭하여 패터닝된다. 포토레지스트(105)는 도 1a 및 도 1b에 사선으로 나타난 바와 같이, 패터닝을 하기 위해 사용된다.

연속적으로, 도 2a와 도 2b에 나타난 바와 같이, 플라스마 CVD(Chemical Vapor Deposition)에 의해 형성된 비정질 실리콘(a-Si) 또는 유사 반도체막(106), 질화 실리콘(SiN) 또는 유사 절연막(107), 및 스퍼터링에 의해 형성된 크롬(Cr) 또는 유사 저저항 금속막(104')은 포토리소그라피 및 습식 또는 건식 에칭에 의해 기판(101) 상에 순차적으로 적층된다. 막들(106, 107, 104')은 게이트 전극(6), 이 게이트 전극(6)에 접속된 게이트 버스 라인(7), 및 게이트 전극(6)과 게이트 버스 라인(7)과 동일한 구성을 가지는 아일랜드(8)를 형성하기 위해 패터닝된다.

종래의 LCD가 가진 문제점은 초기에 논의된 바와 같이, 포토리소그라피의 회수를 증가시키지 않고도 배선 저항을 감소시켜야만 한다는 것이다.

도 3a, 도 3b, 도 4a, 도 4b, 도 5a 및 도 5b를 참조하면, 본 발명을 구체화한 액티브 매트릭스 LCD는 박막 트랜지스터를 스위칭 소자로서 가지는 것으로 기술될 것이다. 이와 같이, LCD는 절연 기판(101)을 포함하며, 이 절연 기판(101) 상부에는 투명 절연막(102)이 형성된다. 투명 도전막(103)과 저저항 금속막(104)은 드레인 전극(1), 드레인 전극(1)에 접속된 드레인 버스 라인(2), 소오스 전극(3), 및 소오스 전극(3)에 접속되며 다수의 홀들(5)을 가지는 화소 전극(4)을 형성하는 패턴으로 절연막(102) 상에 순차적으로 적층된다. 반도체층(106)과 절연층(107)은 게이트 전극과 이 게이트 전극(6)에 접속된 게이트 버스 라인(7)과의 구성면에서 동일한 아일랜드(8)의 형태로 금속막(104) 상에 순차적으로 형성된다. 저저항 금속막(104')은 게이트 전극(6)과 게이트 버스 라인(7)의 형태로 절연층(107) 상에 형성된다. 도 5a와 도 5b에서, 참조 부호(105)는 포토레지스트를 지칭한다. 포토레지스트(105)는 도 3a와 도 5a에 사선으로 나타나 있다. 또한, 도 4a에서, 저저항 금속막(104)은 사선으로 나타나 있다.

전술된 구성을 가지는 LCD의 제조 방법은 일반적으로 제1 및 제2 단계로 이루어진다. 이 제1 단계는 순차적으로 기판(101) 상에 투명 절연막(102), 투명 도전막(103) 및 저저항 금속막(104)을 형성하는 단계와, 드레인 전극(1), 드레인 버스 라인(2), 소오스 전극(3) 및 화소 전극(4)을 형성하기 위하여 막들(103, 104)을 패터닝하는 단계와, 측면 에칭에 의해 화소 전극(4)로부터 막(104)만을 제거하는 단계로 구성된다. 제1 단계에 후속되는 제2 단계는 기판(101) 상에 포스핀(PH₃) 플라스마 공정을 실행하는 단계와, 반도체막(106)과 절연막(107) 및 저저항 금속막(104')을 형성하는 단계와, 패터닝에 의해 게이트 전극(6)과 게이트 버스 라인(7)을 형성하는 단계와, 게이트 전극(6)과 게이트 버스 라인(7)과 구성면에서 동일한 아일랜드(8)를 형성하는 단계로 구성된다.

제1 단계는 도 3a, 도 3b 및 도 4a, 도 4b를 참조하여 구체적으로 기술될 것이다. 도 3a와 도 3b에 나타난 바와 같이, 100nm의 두께를 가지며 예를 들면, 실리콘 산화물(SiO₂)로 형성된 투명 절연막(102)과, 50nm의 두께를 가지며 예를 들면, ITO로 형성된 투명 도전막(103), 150nm의 두께를 가지며 예를 들면, Cr으로 형성된 저저항 금속막(104)이 예를 들면, 글래스로 이루어진 기판(101) 상에 순차적으로 형성된다. 다음으로, 드레인 전극(1), 드레인 버스 라인(2), 소오스 전극(3) 및 화소 전극(4)은 포토레지스트(105)와 ITO 건식 에칭을 사용하는 포토리소그라피에 의해 형성된다. 화소 전극(5)의 홀들(5)은 각각 1 평방 μm 이며, 서로 3 μm 만큼 이격되어 있다. 이 홀들(5)의 거리와 사이즈를 선택하여, 후속 측면 에칭시, 화소 전극(4) 상의 Cr은 제거되지만, 드레인 버스 라인(2) 상의 Cr은 측면 에칭의 영향으로 부터 보호되는 배선 저항을 가진다. 도 4a와 도 4b에 나타난 바와 같이, Cr 습식 에칭에 의해 수행된 1.5 μm 측면 에칭이 실행되어 화소 전극(4)으로부터 Cr만을 제거한다. 이때, 화소 전극(4) 상의 포토레지스트(105)는 제거된다. 예를 들면, 드레인 전극(1) 상의 Cr이 1.5 μm 만큼 움푹 패인다고 할지라도, 이러한 현상은 전혀 문제가 되지 않는다.

도 5a와 도 5b는 전술된 제1 단계에 후속되는 제2 단계를 나타낸다. 이와 같이, PH₃ 플라스마 공정은 제1 단계에서 사용된 기판(101) 상에 실행된다. 다음으로, 50nm의 두께를 가지며 예를 들면, a-Si로 이루어진 반도체막(106)과 300nm의 두께를 가지며 예를 들면, SiN으로 이루어진 절연막(107)이 플라스마 CVD에 의해 형성된다. 150nm의 두께를 가지며 예를 들면, Cr으로 이루어진 저저항 금속막(104')은 스퍼터링에 의해 절연막(107) 상에 적층된다. 연속적으로, 게이트 전극(6)과 게이트 버스 라인(7)은 포토리소그라피와 Cr 습식 에칭에 의해 형성된다. 최종적으로, 게이트 전극(6)과 게이트 버스 라인(7)과의 구성면에서 동일한 아일랜드(8)는 SiN/a-Si 건식 에칭에 의해 형성된다.

전술된 바와 같이, 예시적인 실시예는 2번의 포토리소그라피를 수행하는데, 그 이유는 저저항 배선, 포워드 스테거(stagger)형 박막 트랜지스터를 액티브 매트릭스 회로의 스위칭 소자로서 형성하기 위해서이다.

도 10a에 나타난 바와 같이, SiN 또는 유사 절연막(107')(200nm의 두께)으로 이루어진 패시베이션막은 전술된 2번의 연속적인 단계에 의해 완성된 LCD에 추가될 수 있다. 대응적으로, 도 10b에 나타난 바와 같이, Cr 또는 유사 저저항 금속(104')(150nm의 두께)으로 이루어진 블랙 매트릭스는 예시적인 실시예의

기관이 형성되기 전에 부가될 수 있다. 원한다면, 도 10c에 나타난 바와 같이, 절연막(107')과 저저항 금속(104) 둘다 부가될 수 있다.

박막 트랜지스터를 스위칭 소자로서 가지는 본 발명의 대응 실시예는 도 6a, 도 6b, 도 7a, 도 7b, 도 8a, 도 8b, 도 9a, 및 도 9b를 참조하여 기술될 것이다. 이와 같이, LCD는 게이트 전극(6)과 이 게이트 전극(6)에 접속된 게이트 버스 라인(7)을 형성하는 저저항 금속막(104')을 포함한다. 아일랜드(8)은 금속막(104') 상에 형성되며 절연막(107)과 반도체막(106) 및 콘택층(108)로 이루어진다. 막들(107, 106)과 층(108)은 게이트 버스 라인(7)과 드레인 버스 라인(2)이 서로 교차될 수 있는 부분과 적어도 게이트 전극(6)을 피복할 수 있도록 구성된다. 연속하여, 투명 도전막(103)과 드레인 전극(1), 드레인 버스 라인(2), 소오스 전극(3) 및 화소 전극(4)을 형성하는 저저항 금속막(104)이 순차적으로 적층된다. 화소 전극(4)가 다수의 홀(5)들을 가지는 반면에 저저항 금속막은 전극(4)로 부터 제거된다.

전술된 LCD의 제조 방법은 통상적으로 다음과 같은 제1, 제2 및 제3 단계로 이루어진다. 제1 단계는 기판(101) 상에 저저항 금속막(104')을 형성하는 단계와 게이트 전극(6)과 이 게이트 전극(6)에 접속된 게이트 버스 라인(2)을 형성하기 위하여 금속막(104')을 패터닝하는 단계를 포함한다. 제2 단계는 기판(101) 상에 절연막(107), 반도체막(106) 및 콘택층(108)을 형성하는 단계와, 게이트 버스 라인(7)과 드레인 버스 라인(2)이 서로 교차될 수 있는 부분과 적어도 게이트 전극(6)을 피복할 수 있도록 배치되는 아일랜드(8)을 형성하기 위하여 그들을 패터닝하는 단계로 구성된다. 제3 단계는 기판(101) 상에 투명 도전막(103)과 저저항 금속막(104)을 형성하는 단계와, 드레인 전극(1), 드레인 전극(1)에 접속된 드레인 버스 라인(2), 소오스 전극(3), 및 전극(3)에 접속되며 홀(5)들을 포함하는 화소 전극(4)을 형성하기 위해 이들을 패터닝하는 단계와, 측면 에칭에 의해 화소 전극(4)로 부터 금속막(104')만을 제거하는 단계와, 채널 부분으로 부터 콘택층(108)을 제거하는 단계로 구성된다.

도 6a와 도 6b는 제1 단계를 나타내는 것으로, 구체적으로는, 나타난 바와 같이, Cr 또는 유사 저저항 금속막(104')(150nm의 두께)은 글래스 또는 유사 절연 기판(101) 상에 형성된다. 다음으로, 게이트 전극(6)과 게이트 버스 라인(7)은 포토레지스트(105) 및 Cr 습식 에칭을 사용하는 포토리소그라피에 의하여 형성된다.

도 7a와 도 7b에 나타난 바와 같이, 제2 단계에서, SiN 또는 유사 절연막(107)(300nm의 두께), a-Si 또는 유사 반도체막(106)(300nm의 두께) 및 n⁺형 a-Si(n⁺ a-Si) 또는 유사 콘택층(108)(50nm의 두께)은 플라즈마 CVD에 의해 기판(101) 상에 순차적으로 형성된다. 연속적으로, 적어도 게이트 전극과 초기에 언급된 부분을 피복할 수 있는 아일랜드(8)은 포토리소그라피 및 n⁺ a-Si/a-Si/SiN 건식 에칭에 의해 형성된다.

도 8a와 도 8b에 나타난 바와 같이, 제3 단계에서, ITO 또는 유사 투명 도전막(103)(50nm의 두께)과 Cr 또는 유사 저저항 금속막(104')(150nm)은 스퍼터링에 의해 기판(101) 상에 형성된다. 다음으로, 드레인 전극(1), 드레인 버스 라인(2), 소오스 전극(3) 및 화소 전극(4)은 포토리소그라피, Cr 건식 에칭, 및 ITO 건식 에칭에 의해 형성된다. 다시, 화소 전극(4) 내에 형성된 홀(5)들은 각각 1 평방 μm 이고 3 μm 만큼 이격되어 있다. 연속적으로, 도 9a와 도 9b에 나타난 바와 같이, Cr 습식 에칭에 의해 수행되는 1.5 μm 측면 에칭은 화소 전극(4)로 부터 Cr만을 제거하기 위하여 실행된다. 최종적으로, 콘택층(108)은 n⁺ a-Si 건식 에칭에 의해 채널 부분으로 부터 제거된다.

이와 같이, 대응 실시예는 3회의 연속적인 포토리소그라피에 의해 저저항 배선과, 스위칭 소자로서 역(reverse) 상태거현 박막 트랜지스터를 가지는 액티브 매트릭스 기판 회로를 제조한다. 패시베이션 막 및/또는 블랙 매트릭스가 대응 실시예에 부가될 수도 있다.

발명의 효과

요약하면, 본 발명에 따르면, 저저항 드레인 버스 라인과 투명 화소 전극은 한번의 포토리소그라피 단계에 의해 형성된다. 이것은 포토리소그라피의 회수를 증가시키지 않고도 배선 저항을 낮출 수 있으며, 와이드 스크린을 가지는 LCD를 형성할 수 있다. 이러한 이점은 드레인 버스 라인과 화소 전극을 형성할 때, 본 발명은 투명 도전막과 저저항 금속막을 순차적으로 형성하고, 화소 전극 내에 형성된 홀들을 통하여 측면 에칭에 의해 금속막을 제거하는 단일 공정으로 부터 유도된다.

본 공개의 가르침을 접수한 후에는 본 발명의 범위를 벗어남이 없이 본 분야의 숙련된 자라면 다양한 변형을 할 수 있을 것이다

(57) 청구의 범위

청구항 1. 박막 트랜지스터들을 스위칭 소자들로서 사용하는 액티브 매트릭스 LCD에 있어서,

투명 도전막과 저저항 금속막이 이 순서대로 순차적으로 적층되어 형성된 드레인 전극과;

상기 드레인 전극에 접속된 드레인 버스 라인과;

소오스 전극과;

상기 소오스 전극에 접속되며 다수의 홀들이 형성되어 있는 화소 전극-상기 저저항 금속막은 상기 화소 전극으로 부터 제거됨- 과;

아일랜드(island) 형태로 상기 투명 도전막과 상기 저저항 금속막 상에 형성되는 게이트 전극과;

상기 게이트 전극에 접속되며 저저항 금속으로 이루어진 게이트 버스 라인과;

상기 게이트 버스 라인과 구성 면에서 동일한 반도체층 및 절연막

를 포함하는 것을 특징으로 하는 액티브 매트릭스 LCD.

청구항 2. 액티브 매트릭스 LCD의 제조 방법에 있어서:

- (a) 절연 기판 상에 투명 도전막과 저저항 금속막을 이 순서대로 순차적으로 형성하는 단계와;
- (b) 드레인 전극, 상기 드레인 전극에 접속된 드레인 버스 라인, 소오스 전극, 및 상기 소오스 전극에 접속되며 다수의 홀들이 형성되어 있는 화소 전극을 형성하는 단계와;
- (c) 측면 에칭에 의해 상기 화소 전극으로 부터 상기 저저항 금속막만을 제거하는 단계와;
- (d) 상기 기판상에 PH₃ 플라즈마 공정을 실행하고 나서, 순차적으로 반도체막, 절연막 및 저저항 금속막을 이 순서대로 형성하는 단계와;
- (e) 게이트 전극과, 상기 게이트 전극에 접속된 게이트 버스 라인을 패터닝에 의해 형성하는 단계와;
- (f) 상기 게이트 전극과 상기 게이트 버스 라인과 구성면에서 동일한 아일랜드(island)를 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스 LCD의 제조 방법.

청구항 3. 박막 트랜지스터를 스위칭 소자들로서 사용하는 액티브 매트릭스 LCD에 있어서:

저저항 금속막으로 이루어진 게이트 전극과;

상기 게이트 전극에 접속된 게이트 버스 라인과;

아일랜드 형태로 상기 저저항 금속막 상에 형성되며, 상기 게이트 버스 라인과 드레인 버스 라인이 서로 교차될 수 있는 부분과 적어도 상기 게이트 전극을 피복할 수 있도록 구성된 절연막, 반도체막 및 콘택층과;

상기 드레인 버스 라인에 접속된 드레인 전극을 형성하기 위하여 순차적으로 이 순서대로 적층된 투명 도전막 및 저저항 금속막과;

상기 소오스 전극에 접속되며 다수의 홀들이 형성되어 있는 화소 전극

를 포함하며,

상기 화소 전극으로 부터 상기 저저항 금속막만이 제거되는

것을 특징으로 하는 액티브 매트릭스 LCD.

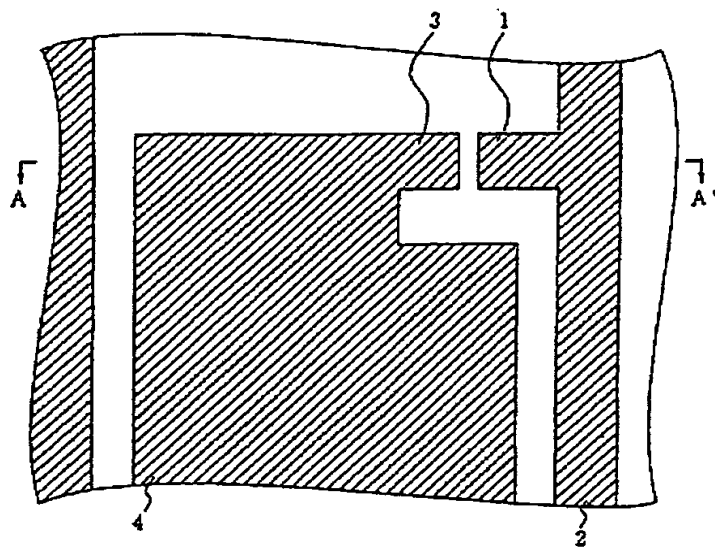
청구항 4. 액티브 매트릭스 LCD의 제조 방법에 있어서:

- (a) 절연 기판 상에 저저항 금속막을 형성하는 단계와;
- (b) 게이트 전극과 상기 게이트 전극에 접속된 게이트 버스 라인을 패터닝에 의해 형성하는 단계와;
- (c) 상기 기판 상에 절연막, 반도체막 및 콘택층을 형성하는 단계와;
- (d) 상기 게이트 버스 라인과 드레인 버스 라인이 서로 교차될 수 있는 부분과 적어도 상기 게이트 전극을 피복하는 아일랜드를 패터닝하여 형성하는 단계와;
- (e) 상기 기판 상에 투명 도전막과 저저항 금속막을 이 순서대로 순차적으로 형성하는 단계와;
- (f) 상기 드레인 전극에 접속된 상기 드레인 버스 라인, 소오스 전극, 및 상기 소오스 전극에 접속되며 다수의 홀들이 형성되어 있는 화소 전극을 패터닝하여 형성하는 단계와;
- (g) 측면 에칭에 의해 상기 화소 전극으로 부터 상기 저저항 금속막만을 제거하는 단계와;
- (h) 채널 부분으로 부터 상기 콘택층을 제거하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스 LCD의 제조 방법.

도면

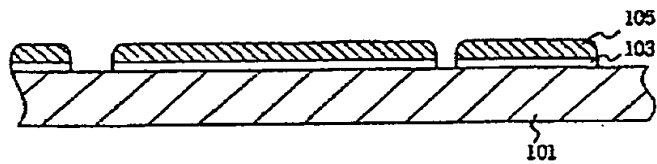
도면 1a

(종래 기술)



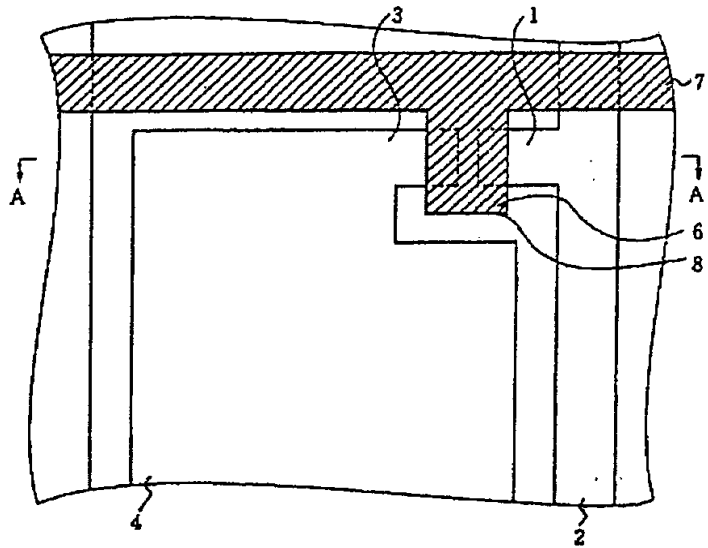
도면 1b

(종래 기술)



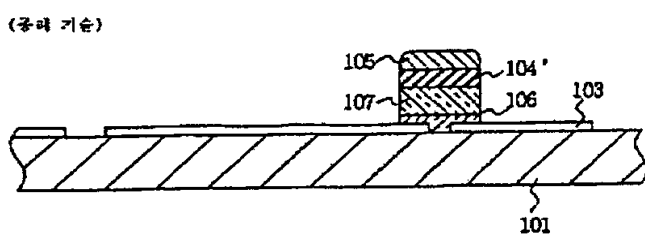
도면2a

(중대 기준)

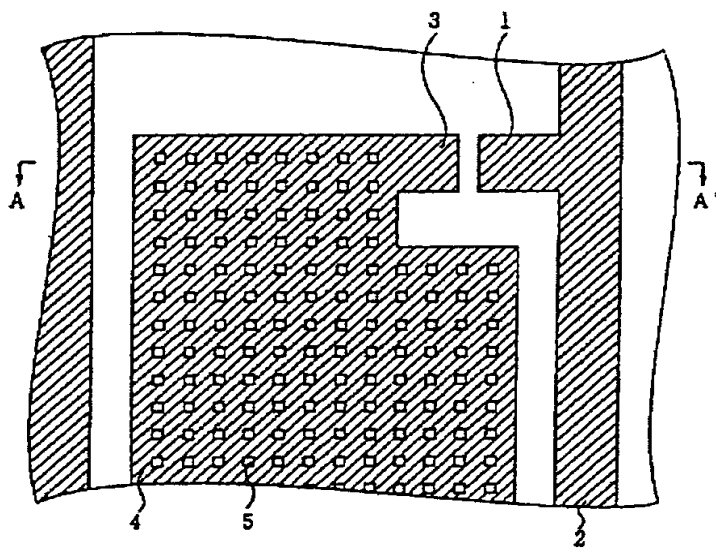


도면2b

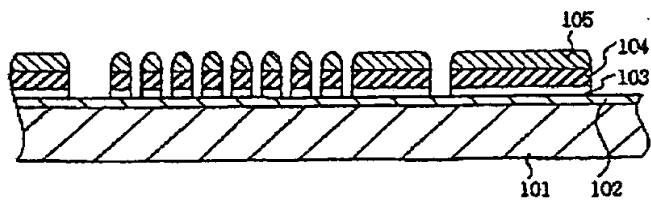
(중대 기준)



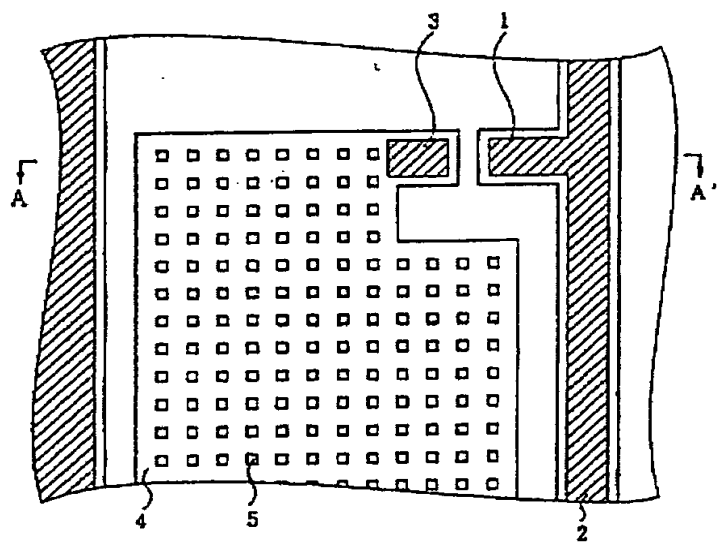
도면3a



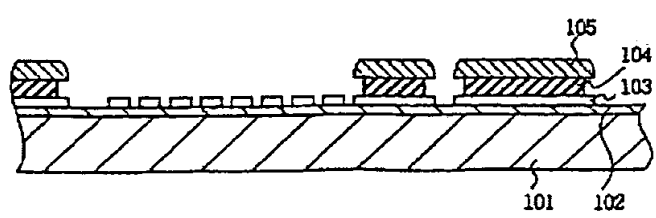
도면3b



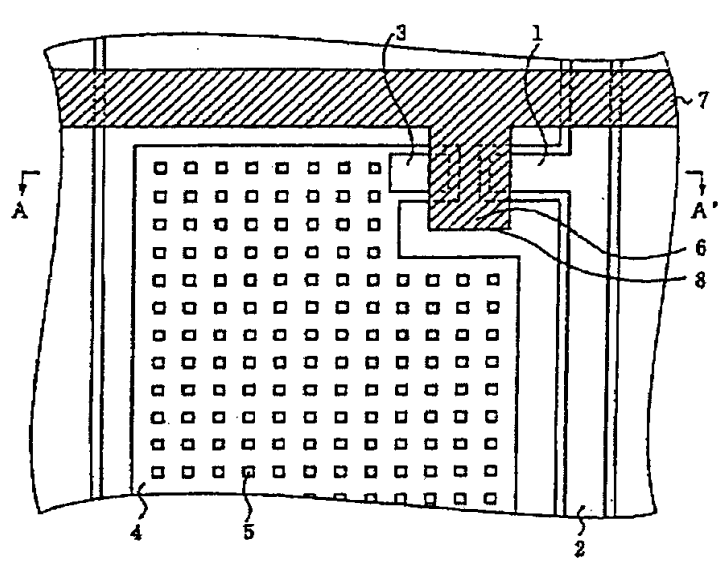
도면4a



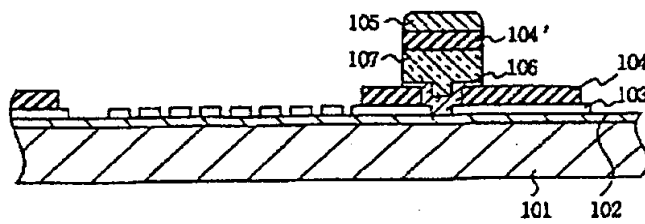
도면4b



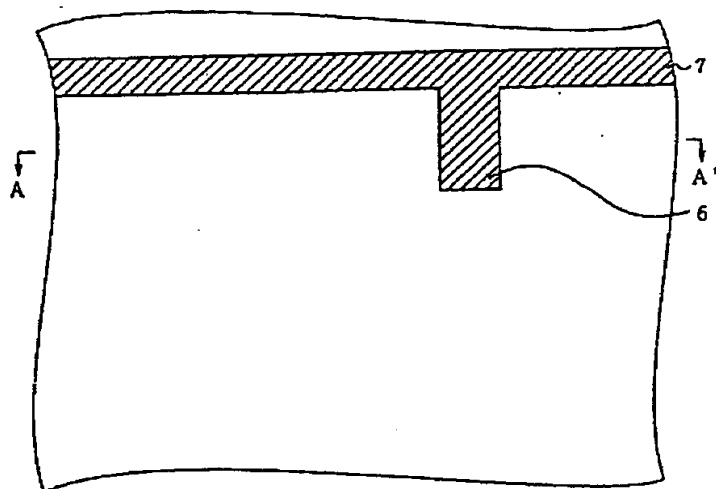
도면5a



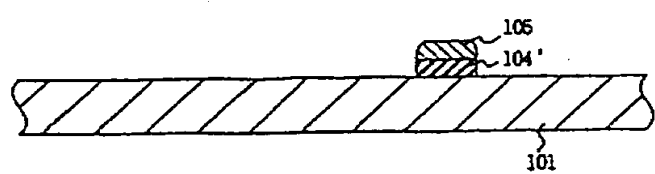
도면5b



도면8a



도면8b



도면7a

